

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

16131478

Basic Patent (No,Kind,Date): JP 2000150890 A2 20000530 <No. of Patents:
001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): TAKENAKA SATOSHI

IPC: *H01L-029/786; H01L-021/336; H01L-021/20

CA Abstract No: *133(01)011686U; 133(01)011686U

Derwent WPI Acc No: *G 00-434905; G 00-434905

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000150890	A2	20000530	JP 98320493	A	19981111

(BASIC)

Priority Data (No,Kind,Date):

JP 98320493 A 19981111

?

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150890

(43)Date of publication of application : 30.05.2000

(51)Int.Cl. H01L 29/786
H01L 21/336
H01L 21/20

(21)Application number : 10-320493 (71)Applicant : SEIKO EPSON
CORP

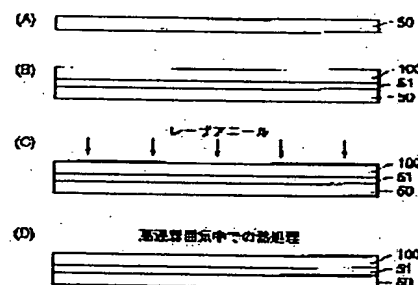
(22)Date of filing : 11.11.1998 (72)Inventor : TAKENAKA
SATOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device that improves on-current characteristics, and at the same time compresses variations even when a TFT is formed by a semiconductor film where an amorphous semiconductor film is polycrystallized.

SOLUTION: A semiconductor film 100 consisting of an amorphous silicon film is formed by a low-temperature process on a substrate 50 made of glass or the like, laser annealing is made, and the semiconductor film 100 is polycrystallized (crystallization process). Then, the substrate 50 is loaded into a heat treatment oven, the semiconductor film 100 is subjected to heat treatment in a high-temperature atmosphere of 400°C-600°C (heat treatment process), and dangling bond that remains on the semiconductor film 100 is eliminated. Then, the semiconductor film 100 is used as an active layer for forming a TFT.



LEGAL STATUS

[Date of request for examination] 11.09.2003
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150890

(P 2 0 0 0 - 1 5 0 8 9 0 A)

(43) 公開日 平成12年5月30日(2000.5.30)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 29/78	627 G 5F052
21/336		21/20	5F110
21/20		29/78	627 F

審査請求 未請求 請求項の数8 ○L (全11頁)

(21) 出願番号 特願平10-320493

(22) 出願日 平成10年11月11日(1998.11.11)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 竹中 敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

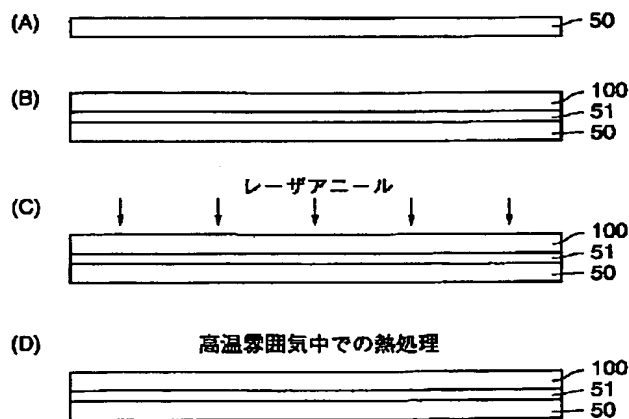
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 非晶質の半導体膜を多結晶化させた半導体膜からTFTを形成した場合でも、オン電流特性をさらに向上させることができ、かつ、そのばらつきを圧縮することのできる半導体装置の製造方法を提供すること。

【解決手段】 ガラス製等の基板50上に低温プロセスで非晶質シリコン膜からなる半導体膜100を形成した後、レーザアニールを施して半導体膜100を多結晶化させる(結晶化工程)。次に、基板20を熱処理炉に入れて、半導体膜100に対して温度が400℃～600℃の高温雰囲気中での熱処理を行い(熱処理工程)、半導体膜100に残るダングリングボンドを除去する。そして、この半導体膜100を能動層として用いてTFTを形成する。



【特許請求の範囲】

【請求項 1】 基板上に非晶質の半導体膜を形成する成膜工程と、該成膜工程により形成した非晶質の半導体膜を多結晶化させる結晶化工程と、該結晶化工程を行った後の前記半導体膜に対して高温雰囲気中で熱処理を施して当該半導体膜に残るダングリングボンドを除去する熱処理工程と、該熱処理工程を行った前記半導体膜を用いて薄膜トランジスタを形成するトランジスタ形成工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、前記結晶化工程は、前記半導体膜に対するレーザアニール、電子ビームアニール、およびランプアニールのうちのいずれかのアニール処理であることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、前記熱処理工程では、熱処理温度を 4 0 0 ℃ 以上かつ 5 0 0 ℃ 未満に設定し、処理時間を 3 時間以上とすることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 または 2 において、前記熱処理工程では、熱処理温度を 5 0 0 ℃ 以上かつ 6 0 0 ℃ 未満に設定し、処理時間を 1 時間以上かつ 3 時間未満とすることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 または 2 において、前記熱処理工程では、熱処理温度を 6 0 0 ℃ 以上に設定し、処理時間を 1 時間未満とすることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 3 ないし 5 のいずれかにおいて、前記熱処理工程を行った前記半導体膜を用いて同一基板上に N 型の薄膜トランジスタおよび P 型の薄膜トランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 ないし 6 のいずれかにおいて、前記熱処理工程を非酸化性ガス雰囲気中で行うことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 において、前記熱処理工程を窒素ガス、アルゴンガス、ヘリウムガス、水素ガス、あるいはこれらのガスの混合ガスの雰囲気中で行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、非晶質の半導体膜に対してレーザアニールなどの結晶化処理を施して得た多結晶性の半導体膜を能動層として用いた薄膜トランジスタ（以下、T F T という。）を備える半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】 T F T を備える各種の半導体装置のうち、T F T を液晶表示装置のアクティブ素子等として用いた装置を製造するにあたっては、石英基板に代えて、安価なガラス基板を使用できるように低温プロセスが採用されつつある。低温プロセスとは、一般に、工程の最

高温度（基板全体が同時に上がる最高温度）が約 6 0 0 ℃ 程度未満（好ましくは 5 0 0 ℃ 未満）であるのに対して、高温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が 8 0 0 ℃ 程度以上になるものであり、シリコンの熱酸化等といった 7 0 0 ℃ ～ 1 2 0 0 ℃ の高温の工程を行うものである。

【 0 0 0 3 】 但し、低温プロセスでは、基板の上に多結晶性の半導体膜を直接、形成するのは不可能であるため、プラズマ C V D 法あるいは低圧 C V D 法を用いて非晶質の半導体膜を形成した後、この半導体膜を結晶化する必要がある。この結晶化の方法としては、たとえば S P C 法（Solid Phase Crystallization）や R T A 法（Rapid Thermal Annealing）などといった手法があるが、X e C I を用いたエキシマレーザービームを照射することによるレーザアニール（E L A : Excimer Laser Annealing）によればガラス基板温度の上昇が抑えられ、かつ、大粒径の多結晶 S i が得られるため、最近では主流になりつつある。

【 0 0 0 4 】 このレーザアニール法を用いた多結晶性の半導体膜の製造方法では、まず、1 0 (A) に示すように、ガラス製の基板 5 0 を準備した後、図 1 0 (B) に示すように、基板 3 0 の全面にシリコン酸化膜からなる下地保護膜 5 1 をプラズマ C V D 法により形成する。次に、基板温度が約 1 5 0 ℃ から約 4 5 0 ℃ の温度条件下で基板 3 0 の全面に非晶質シリコン（非晶質）の半導体膜 1 0 0 をプラズマ C V D 法などの方法により形成する。次に、図 1 0 (C) に示すように、半導体膜 1 0 0 に対してレーザ光を照射してレーザアニール（結晶化工程）を施す。このレーザアニール工程では、たとえば、図 4 に示すように、レーザ光の照射領域 L が X 方向に長いラインビーム L 0 を半導体膜 1 0 0 に照射し、その照射領域 L を Y 方向にずらしていく。その結果、非晶質の半導体膜 1 0 0 は一度溶融し、冷却固化過程を経て多結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域 L が基板全体に対して局所的であるため、基板 5 0 全体が同時に高温に熱せられることがない。

【 0 0 0 5 】 次に、図 1 0 (D) に示すように、多結晶化した半導体膜 1 0 0 をフォトリソグラフィ技術を用いて島状にパターニングした後、その表面にゲート絶縁膜 1 2、2 2、3 2、およびゲート電極 1 4、2 4、3 4 を順次形成するなど、周知の T F T 製造工程を行う。ここで、図 1 0 (D) に示す 3 つの島状の半導体膜 1 0 0 は、それぞれ液晶表示装置のアクティブマトリクス基板上に形成される駆動回路用の P 型の T F T、駆動回路用の N 型の T F T、および画素スイッチング用の N 型の T F T を形成するための半導体膜である。

【 0 0 0 6 】 このようにして T F T を製造すれば、低温プロセスでありながら、多結晶性の半導体膜 1 0 0 から T F T を製造できるので、オン電流が大きい T F T を製

造できる。

【 0 0 0 7 】

【発明が解決しようとする課題】このように、レーザアニールによって非晶質から多結晶化させた半導体膜 1 0 0 を用いた T F T は、比較的大きなオン電流が得られる傾向にはあるものの、T F T に対しては、さらなるオン電流特性の向上が一層望まれている。しかしながら、従来の製造方法ではこのような要求に対応できないという問題点がある。また、レーザアニールによって非晶質から多結晶化させた半導体膜 1 0 0 を用いた T F T は、T F T 毎にオン電流の値がばらつきが大きいという問題点もある。

【 0 0 0 8 】このような問題点を解消するために、本願発明者は、半導体膜 1 0 0 の結晶化度をさらに高めることを検討したが、結晶化度をこれ以上、高めたとしても、オン電流特性をこれ以上、向上させるのが困難であり、また、結晶化度を高めてもオン電流のばらつきを解消するには至っていない。

【 0 0 0 9 】以上の問題点に鑑みて、本発明の課題は、非晶質の半導体膜を多結晶化させた半導体膜から T F T を形成した場合でも、オン電流特性をさらに向上させることができ、かつ、そのばらつきを圧縮することのできる半導体装置の製造方法を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】このような背景のもと、本願発明者は、繰り返し行った実験から、非晶質の半導体膜をレーザアニールなどの方法で多結晶化させた半導体膜中には、結晶粒界にダングリングボンドが多数、存在し、このダングリングボンドに起因するトラップ準位が T F T のオン電流特性のこれ以上の向上を妨げ、かつ、そのばらつきの要因になっているという新たな知見を得た。また、図 4 を参照して説明したレーザアニール工程においては、レーザ光の照射領域 L を Y 方向にずらしていくので、半導体膜 1 0 0 の全面にレーザ光が照射されるものの、レーザ光の照射領域 L の端部分にはダングリングボンドが発生しやすいという新たな知見も得た。さらに、このような傾向は、レーザアニールに限らず、電子ビームアニールおよびランプアニールなど、半導体膜を部分的にアニールし、かつ、そのアニール領域をずらしていくアニール方法（結晶化処理）でも同様であるという新たな知見を得た。さらにまた、本願発明者は、繰り返し行った実験から、このようなダングリングボンド減少、除去するには、レーザアニール後に半導体膜全体を一括して熱処理する方法が効果的であるという新たな知見も得た。

【 0 0 1 1 】そこで、本発明では、上記課題を解決するために、T F T を用いた半導体装置の製造方法において、基板上に非晶質の半導体膜を形成する成膜工程と、該成膜工程により形成した非晶質の半導体膜を多結晶化させる結晶化工程と、該結晶化工程を行った後の前記半

導体膜に対して高温雰囲気中で熱処理を施して当該半導体膜に残るダングリングボンドを除去する熱処理工程と、該熱処理工程を行った前記半導体膜を用いて T F T を形成するトランジスタ形成工程とを行うことを特徴とする。

【 0 0 1 2 】本発明では、レーザアニールなどの結晶化工程を行った後に半導体膜全体を一括して熱処理して半導体膜中のダングリングボンドを除去するので、オン電流特性などが良好な T F T を備えた半導体装置を製造することができる。

【 0 0 1 3 】ここで、前記結晶化工程は、たとえば、前記半導体膜に対するレーザアニール、電子ビームアニール、およびランプアニールである。

【 0 0 1 4 】また、前記熱処理工程において熱処理温度を 4 0 0 ℃ 以上かつ 5 0 0 ℃ 未満に設定した場合には、処理時間を 3 時間以上とすることが好ましい。さらに、前記熱処理工程において熱処理温度を 5 0 0 ℃ 以上かつ 6 0 0 ℃ 未満に設定した場合には、処理時間を 1 時間以上かつ 3 時間未満とすることが好ましい。さらにまた、前記熱処理工程において熱処理温度を 6 0 0 ℃ 以上に設定し、処理時間を 1 時間未満とすることが好ましい。

【 0 0 1 5 】このような熱処理条件は、前記熱処理工程を行った前記半導体膜を用いて同一基板上に N 型の T F T および P 型の T F T を形成する場合に効果的である。すなわち、結晶化工程後に行う熱処理工程の条件が T F T の特性に及ぼす影響は、N 型の T F T を形成する場合と、P 型の T F T を形成する場合との間で相違するため、双方の T F T において特性向上を図ることのできる熱処理条件で行うことが好ましい。たとえば、熱処理温度を 6 0 0 ℃ 以上とした場合には、P 型の T F T では、処理時間を 1 7 時間位に設定しても、オン電流特性が向上するのに対して、N 型の T F T では、処理時間を 1 7 時間位に設定すると、処理時間が 1 時間の場合に比較して、オン電流特性が低下するからである。

【 0 0 1 6 】このような前記熱処理工程は、窒素ガス雰囲気中、アルゴンガス雰囲気中、ヘリウムガス雰囲気中、水素ガス雰囲気中、あるいはこれらのガスの混合ガス雰囲気中など、非酸化性雰囲気中で行うことにより、半導体装置の表面に、ゲート絶縁膜としては膜質が好ましくない酸化膜が形成されることを防止することが好ましい。

【 0 0 1 7 】

【発明の実施の形態】図面を参照して、本発明の実施の形態として、本発明を液晶表示装置のアクティブマトリクス基板上に駆動回路用の P 型の T F T、駆動回路用の N 型の T F T、および画素スイッチング用の N 型の T F T を形成する例を説明する。

【 0 0 1 8 】（アクティブマトリクス基板の全体構成）図 1（A）、（B）は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図、およびそ

の駆動回路を構成するCOMS回路の等価回路図である。図2は、図1に示すアクティブマトリクス基板上に形成した3種類のTFTの断面図である。

【0019】図1(A)に示すように、液晶表示装置用のアクティブマトリクス基板200において、ガラス製などの透明な基板のうち、略中央領域に相当する画面表示領域81では、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜、シリサイド膜、導電性半導体膜などで形成されたデータ線90および走査線91に接続した画素用スイッチングのTFT10が画素毎に形成され、各画素には、画素スイッチング用のTFT30を介して画像信号が入力される液晶容量94(液晶セル)が形成されている。データ線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータ側駆動回路60が構成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査側駆動回路70が構成されている。なお、各画素には、走査線91と並行に延びる容量線92との間に保持容量40が形成され、この保持容量40は、液晶容量94での電荷の保持特性を高める機能を有している。この保持容量40は、前段の走査線91との間に形成されることもある。

【0020】(COMS回路の基本構成) データ側および走査側の駆動回路60、70では、図1(B)に示すように、N型のTFT10とP型のTFT20とによってCOMS回路が構成されている。このようなCOMS回路は、駆動回路60、70において1段あるいは2段以上でインバータ回路などを構成する。

【0021】(アクティブマトリクス基板上のTFT) 従って、図2に示すように、アクティブマトリクス基板200では、ガラス製の透明な基板50の表面側には、駆動回路用のN型のTFT10、駆動回路用のP型のTFT20、および画素スイッチング用のN型のTFT30からなる3種類のTFTが形成されている。このようなアクティブマトリクス基板200において、基板50の表面側にはシリコン酸化膜からなる下地保護膜51が形成され、この下地保護膜51の表面には、島状にパターンニングされた多結晶性の半導体膜100が形成されている。これらの半導体膜100は、それぞれ、駆動回路用のN型のTFT10、駆動回路用のP型のTFT20、および画素スイッチング用のN型のTFT30を形成するためのもので、各半導体膜100の表面にはゲート絶縁膜12、22、32が形成されている。これらのゲート絶縁膜12、22、32の表面にはゲート電極14、24、34がそれぞれ形成され、これらのゲート電極のうち、画素スイッチング用のN型のTFT30のゲート電極34は走査線91(図1参照。)の一部である。また、各半導体膜100には、ゲート電極14、24、34に対してゲート絶縁膜12、22、32を介して

て対峙する領域にチャネル領域15、25、35が形成されている。これらチャネル領域15、25、35の両側には、ゲート電極14、24、34に対してゲート絶縁膜12、22、32を介して対峙する低濃度ソース・ドレイン領域17、27、37がそれぞれ形成されている。また、低濃度ソース・ドレイン領域17、27、37の両側には、高濃度ソース・ドレイン領域16、26、36がそれぞれ形成され、これらの高濃度ソース・ドレイン領域16、26、36には層間絶縁膜52のコンタクトホールを介してソース電極41、43、ドレイン電極42、データ線90(図1参照。)の一部であるソース電極44、および画素電極45がそれぞれ電氣的に接続している。

【0022】このように、本形態では、いずれのTFT10、20、30もLDD構造を有しているため、オフリーク電流が小さい。このため、コントラスト低下、表示むら、フリッカ、駆動回路の誤動作などを防止でき、表示品位の向上を図ることができる。

【0023】(TFTの製造方法) このような構成のアクティブマトリクス基板200の製造方法を、図3、図4、図5を参照して説明する。

【0024】図3および図5はいずれも、本形態のアクティブマトリクス基板200の製造方法を示す工程断面図である。図4は、アクティブマトリクス基板200を製造する際に用いるレーザアニール装置、およびこの装置を用いて行うレーザアニール方法の説明図である。

【0025】まず、図3(A)において、超音波洗浄等により清浄化したガラス製の基板50を準備した後、基板温度が約150℃から約450℃の温度条件下で、図3(B)に示すように、基板50の全面に厚さが2000オングストローム～5000オングストロームのシリコン酸化膜からなる下地保護膜51をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばモノシランと笑気ガスとの混合ガスやTEOS(テトラエトキシシラン)と酸素、あるいはジシランとアンモニアを用いることができる。

【0026】次に、ガラス製の基板50を熱変形させることなく、基板50上に多結晶性の半導体膜を形成する必要がある。このような制約下で多結晶の半導体膜を形成するには、図3(B)に示すように、基板温度が約150℃から約450℃の温度条件下で基板50の全面に厚さが300オングストローム～700オングストロームの非晶質シリコン膜からなる半導体膜100をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばジシランやモノシランを用いることができる(成膜工程)。なお、低温条件下で基板50上に非晶質の半導体膜100を形成する方法としては、プラズマCVD法に代えて、減圧CVD法、EB蒸着法、スパッタ法などを用いてもよい。

【0027】次に、図3(C)に示すように、半導体膜

100に対してレーザ光を照射してレーザアニールを施す(結晶化工程)。

【0028】この結晶化工程では、図4に示すように、レーザアニール装置300において、レーザ光源320から出射したレーザ光(エキシマレーザ)を光学系325を介して、ステージ310上に載置された基板50に向けて照射する。この際には、照射領域LがX方向に長いラインビームL0(たとえば、レーザパルスの繰り返し周波数が200Hzのラインビーム)を半導体膜100に照射し、その照射領域LをY方向にずらしていく。ここで、ラインビームL0のビーム長が400mmであり、その出力強度はたとえば200mJ/cm²である。また、レーザ光の照射領域LをY方向にずらしていく際には、その幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。その結果、非晶質の半導体膜100は一度熔融し、冷却固化過程を経て多結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域Lが基板全体に対して局所的であるため、基板50全体が同時に高温に熱せられることがない。それ故、基板50として用いたガラス基板は、石英基板と比較して耐熱性の面で劣るが、熱による変形や割れ等が生じない。

【0029】次に、図3(D)に示すように、半導体膜100に対する結晶化工程を終えた基板20を熱処理炉に入れて、半導体膜100に対して温度が400℃~600℃の高温雰囲気中での熱処理を行う(熱処理工程)。

【0030】ここで行う熱処理は、半導体膜100の結晶化を高めるためではなく、半導体膜100に残るダングリングボンドを除去することを目的とする。すなわち、非晶質の半導体膜100をレーザアニールで多結晶化させた後は、結晶粒界にダングリングボンドが多数、存在し、このダングリングボンドに起因するトラップ準位がTFTのオン電流特性の向上を妨げ、かつ、そのばらつき要因となる。また、図4を参照して説明した結晶化工程においては、レーザ光の照射領域LをY方向にずらしていくので、半導体膜100の全面にレーザ光が照射されるものの、レーザ光の照射領域Lの端部分にはダングリングボンドが発生しやすい。そこで、本形態では、レーザアニール後に半導体膜100全体を一括して熱処理し、ダングリングボンドを除去する。

【0031】また、本形態において、熱処理工程は、窒素ガス雰囲気中、アルゴンガス雰囲気中、ヘリウムガス雰囲気中、水素ガス雰囲気中、あるいはこれらのガスの混合ガス雰囲気中など、非酸化性雰囲気中で行う。このため、半導体膜100の表面に、ゲート絶縁膜としては膜質が好ましくない酸化膜が形成されることを防止することができる。

【0032】このようにして半導体膜100を改質した

後、この半導体膜100を用いてTFTを形成していく(トランジスタ形成工程)。

【0033】それにはまず、図5(A)に示すように、多結晶の半導体膜100を島状にパターニングした後、その表面側に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが600オングストローム~1500オングストロームのシリコン酸化膜からなるゲート絶縁膜12、22、32を形成する(ゲート絶縁膜形成工程)。

【0034】次に、アルミニウム、タンタル、モリブデン、チタン、タングステンなどを含む導電膜をスパッタ法により形成した後、導電膜をパターニングし、各TFTのゲート電極14、24、34を形成する(ゲート電極形成工程)。

【0035】次に、図5(B)に示すように、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30の各形成領域をレジストマスク61で覆う。この状態で、約10¹³cm⁻²のドーズ量でボロニオンを打ち込むと、半導体膜100にはゲート電極24に対して自己整合的に不純物濃度が約10¹⁸cm⁻³の低濃度P型領域23が形成される。なお、不純物が導入されなかった部分がチャネル領域25となる。

【0036】この低濃度の不純物打ち込みの工程を行わなければ、P型の駆動回路用TFT20はLDD構造ではなく、オフセットゲート構造となる。

【0037】次に、図5(C)に示すように、駆動回路用のP型のTFT20の形成領域をレジストマスク62で覆う。この状態で、約10¹³cm⁻²のドーズ量でリンイオンを打ち込むと、半導体膜100にはゲート電極14、34に対して自己整合的に不純物濃度が約10¹⁸cm⁻³の低濃度N型領域13、33が形成される。なお、不純物が導入されなかった部分がチャネル領域15、35となる。

【0038】この低濃度の不純物打ち込みの工程を行わなければ、N型の駆動回路用TFT10、およびN型の画素用TFT30はLDD構造ではなく、オフセットゲート構造となる。

【0039】次に、図5(D)に示すように、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30の形成領域に加えて、ゲート電極24をも広めに覆うレジストマスク63を形成する。この状態で、低濃度P型領域23に約10¹⁵cm⁻³のドーズ量でボロニオンを打ち込んで、不純物濃度が約10²⁰cm⁻³の高濃度ソース・ドレイン領域26を形成する。低濃度P型領域23のうちレジストマスク63で覆われていた部分は、そのまま低濃度ソース・ドレイン領域27として残る。このようにして駆動回路用のP型のTFT20を形成する。

【0040】次に、図5(E)に示すように、駆動回路用のP型のTFT20の形成領域に加えて、ゲート電極

14、34をも広めに覆うレジストマスク64を形成する。この状態で、低濃度N型領域13、23に約 10^{15} cm⁻²のドーザ量でリンイオンを打ち込んで、不純物濃度が約 10^{20} cm⁻³の高濃度ソース・ドレイン領域16、36を形成する。低濃度N型領域13、23のうち、レジストマスク64で覆われていた部分は、そのまま不純物濃度が約 10^{18} cm⁻³の低濃度ソース・ドレイン領域17、37として残る。このようにして、駆動回路用のN型のTFT10および画素スイッチング用のN型の画素用TFT30を形成する。

【0041】以降、図2に示すように、層間絶縁膜52を形成した後、活性化のためのアニールを行い、しかる後にコンタクトホールを形成した後、ソース41、43、ドレイン電極42、および画素電極45を形成すれば、アクティブマトリクス基板200を製造できる。

【0042】なお、低濃度の不純物導入を行わずに、ゲート電極14、24、34をマスクにして高濃度の不純物を打ち込んで、ゲート電極14、24、34にセルフアライン的にソース領域およびドレイン領域を形成してもよい。

【0043】(熱処理条件とTFTの特性との関係)このようにして製造したアクティブマトリクス基板200では、熱処理工程において半導体膜100全体を加熱することにより、半導体膜100中のダングリングボンドを除去する。従って、駆動回路用の各TFT10、20においてオン電流特性が向上する。それ故、駆動回路において、動作速度を向上することができるなどの利点がある。

【0044】ここで、熱処理条件とTFTの特性との関係について、図6および図7を参照して説明する。図6は、N型のTFTにおいて、熱処理温度を400℃、500℃、600℃にしたときの熱処理時間とTFTのオン電流との関係を示すグラフであり、それぞれの関係を実線L11、一点鎖線L12および点線L13で示す。また、図7は、P型のTFTにおいて、熱処理温度を400℃、500℃、600℃にしたときの熱処理時間とTFTのオン電流との関係を示すグラフであり、それぞれの関係を実線L21、一点鎖線L22および点線L23で示す。

【0045】まず、図6からわかるように、N型のTFTにおいて、熱処理温度を400℃にしたときに、処理時間が3時間ではTFTのオン電流が従来のレベルとあまり相違ないが、処理時間を延ばす程、TFTのオン電流が向上し、処理時間を3時間以上に設定すれば、目標とするオン電流レベルを得ることができる。また、熱処理温度が500℃にしたときには、処理時間を延ばす程、TFTのオン電流が向上するが、処理時間が1時間でも目標とするオン電流レベルを得ることができる。さらに、熱処理温度が600℃にしたときには、処理時間が1時間では目標とするオン電流レベルを得ることがで

きるが、処理時間を延ばすとオン電流レベルが低下する傾向にある。

【0046】また、これらの条件で熱処理工程を行った半導体膜について電子スピン共鳴を利用してダングリングボンド密度を測定したところ、熱処理効果が十分でないと思われた半導体膜(400℃で1時間の熱処理)のダングリングボンド密度は 1.3×10^{18} cm⁻²であったのに対して、十分な熱処理効果が得られた半導体膜(600℃で1時間の熱処理)のダングリングボンド密度は 7.8×10^{17} cm⁻²であり、適正な熱処理を行えば、ダングリングボンド密度をかなり低下させることができる。

【0047】これに対して、図7からわかるように、P型のTFTにおいても、熱処理温度を400℃にしたときに、処理時間が3時間ではTFTのオン電流が従来のレベルとあまり相違ないが、処理時間を延ばす程、TFTのオン電流が向上し、処理時間を3時間以上に設定すれば、目標とするオン電流レベルを得ることができる。また、熱処理温度が500℃にしたときには、処理時間を延ばす程、TFTのオン電流が向上するが、処理時間が1時間でも目標とするオン電流レベルを得ることができる。さらに、N型のTFTと違って、P型のTFTでは、熱処理温度が600℃にしたときでも、処理時間を延ばす程、TFTのオン電流が向上する傾向にあり、処理時間が1時間でも目標とするオン電流レベルを得ることができる。

【0048】このように、結晶化工程後に行う熱処理工程の条件がTFTの特性に及ぼす影響は、熱処理温度を600℃以上とした場合には、N型のTFTを形成する場合と、P型のTFTを形成する場合との間で相違する。すなわち、熱処理温度を600℃以上とした場合には、P型のTFTでは、処理時間を17時間位に設定しても、オン電流特性が向上するのに対して、N型のTFTでは、処理時間を17時間位に設定すると、処理時間が1時間の場合に比較して、オン電流が特性が低下する傾向にある。このため、双方のTFTにおいて特性向上を図ることのできる熱処理条件で行うという観点からすれば、熱処理工程において、熱処理温度を400℃以上かつ500℃未満に設定した場合には、処理時間を3時間以上とする。また、熱処理工程において、熱処理温度を500℃以上かつ600℃未満に設定した場合には、処理時間を1時間以上かつ3時間未満とする。さらに、熱処理工程において、熱処理温度を600℃以上に設定した場合には、N型のTFTにおけるオン電流特性の低下を避けるために処理時間を1時間未満とする。

【0049】(別の結晶化工程)なお、上記形態では、結晶化工程としてラインビームを用いてレーザアニールを行い、このレーザアニールによって生成したダングリングボンドを熱処理工程で除去する構成であったが、ラインビームに代えてドットビームを用いてレーザアニ

ル(結晶化工程)を行った場合にも、結晶粒界やドット状の照射領域の端部にダングリングボンドが発生する。また、レーザアニールに限らず、電子ビームアニールやランプアニールを結晶化工程として行った場合にも、その照射領域をずらしていくので、結晶粒界やドット状の照射領域の端部にダングリングボンドが発生する。従って、ドットビームを用いたレーザアニール、電子ビームアニール、あるいはランプアニールを結晶化工程として行った場合にも、その後に、半導体膜に対して高温雰囲気中で熱処理(熱処理工程)を行うと、半導体膜に残るダングリングボンドを除去することができる。

【0050】(液晶パネルの構成)このような方法で形成されたアクティブマトリクス基板100を用いて液晶表示用の液晶パネルを構成した例を、図8および図9を参照して説明する。

【0051】図8および図9はそれぞれ、本形態に係る液晶表示装置に用いた液晶パネルを対向基板の側からみた平面図、および図8のH-H'線で切断したときの液晶パネルの断面図である。

【0052】図8および図9において、液晶表示装置に用いる液晶パネル1は、画素電極45がマトリクス状に形成されたアクティブマトリクス基板200と、対向電極532および遮光膜531が形成された対向基板400と、これらの基板間に封入、挟持されている液晶539とから概略構成されている。アクティブマトリクス基板200と対向基板400とは、対向基板400の外周縁に沿って形成されたギャップ材含有のシール材552によって所定の間隙を介して貼り合わされている。また、アクティブマトリクス基板200と対向基板400との間には、シール材552によって液晶封入領域540が区画形成され、この液晶封入領域540内に液晶539が封入されている。この液晶封入領域540内において、アクティブマトリクス基板200と対向基板400の間にはスペーサ537が介在している。シール材552としては、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、シール材552に配合されるギャップ材としては、約2 μ m～約10 μ mの無機あるいは有機質のファイバ若しくは球などが用いられる。

【0053】対向基板400はアクティブマトリクス基板200よりも小さく、アクティブマトリクス基板200の周辺部分は、対向基板400の外周縁よりはみ出た状態に貼り合わされる。従って、アクティブマトリクス基板200の駆動回路(走査線駆動回路70やデータ線駆動回路60)や入出力端子545は対向基板400から露出した状態にある。ここで、シール材552は部分的に途切れているので、この途切れ部分によって、液晶注入口541が構成されている。このため、対向基板400とアクティブマトリクス基板200とを貼り合わせた後、シール材552の内側領域を減圧状態にすれば、

液晶注入口541から液晶539を減圧注入でき、液晶539を封入した後、液晶注入口541を封止剤542で塞げばよい。なお、対向基板400には、シール材552の内側において画面表示領域81を見切りするための遮光膜555も形成されている。また、対向基板400のコーナー部のいずれにも、アクティブマトリクス基板200と対向基板400との間で電気的導通をとるための上下導通材556が形成されている。

【0054】ここで、走査線に供給される走査信号の遅延が問題にならないのならば、走査線駆動回路70は片側だけでも良いことは言うまでもない。また、データ線駆動回路60を画面表示領域81の辺に沿って両側に配列しても良い。例えば奇数列のデータ線は画面表示領域81の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は画面表示領域81の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしても良い。このようにデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路60の形成面積を拡張することが出来るため、複雑な回路を構成することが可能となる。また、アクティブマトリクス基板200において、データ線駆動回路60と対向する辺の側では、遮光膜555の下などを利用して、プリチャージ回路や検査回路が設けられることもある。なお、データ線駆動回路60および走査線駆動回路70をアクティブマトリクス基板200の上に形成する代わりに、たとえば、駆動用LSIが実装されたTAB(テープオートメテッド、ボンディング)基板をアクティブマトリクス基板200の周辺部に形成された端子群に対して異方性導電膜を介して電気的および機械的に接続するようにしてもよい。また、対向基板400およびアクティブマトリクス基板200の光入射側の面あるいは光出射側には、使用する液晶539の種類、すなわち、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブル-STN)モード等々の動作モードや、ノーマリホワイトモード/ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0055】本形態の液晶パネル1を透過型で構成した場合には、たとえば、投射型液晶表示装置(液晶プロジェクタ)において使用される。この場合、3枚の液晶パネル1がRGB用のライトバルブとして各々使用され、各液晶パネル1の各々には、RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、本形態の液晶パネル1にはカラーフィルタが形成されていない。但し、対向基板400において各画素電極45に対向する領域にRGBのカラーフィルタをその保護膜とともに形成することにより、投射型液晶表示以外にも、カラー液晶テレビなどといったカラー液晶表示装置を構成することが

できる。さらにまた、対向基板 4 0 0 に何層もの屈折率の異なる干渉層を積層することにより、光の干渉作用を利用して、RGB 色をつくり出すダイクロミックフィルタを形成してもよい。このダイクロミックフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【 0 0 5 6 】

【発明の効果】以上説明したように、本発明では、非晶質の半導体膜を多結晶化させるレーザアニールなどの結晶化工程を行った後、熱処理工程において半導体膜に対して高温雰囲気中で熱処理を施して結晶粒界に存在するダングリングボンドを除去するので、TFT のオン電流特性を向上させることができ、かつ、そのばらつきを圧縮できるなど、トランジスタ特性の向上を図ることができる。

【図面の簡単な説明】

【図 1】(A) は、液晶表示装置用のアクティブマトリクス基板のブロック図、(B) は、その駆動回路を構成する CMOS 回路の等価回路図である。

【図 2】図 1 に示すアクティブマトリクス基板上に形成した 3 種類の TFT の断面図である。

【図 3】(A) ~ (D) は、図 2 に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

【図 4】図 3 (C) に示すレーザアニール（結晶化工程）で用いるレーザアニール装置の概略構成図である。

【図 5】(A) ~ (E) は、図 2 に示すアクティブマトリクス基板の製造方法において、図 3 に示す工程に続いて行う各工程を示す工程断面図である。

【図 6】図 3 (D) に示す熱処理工程における熱処理条件と N 型の TFT のオン電流特性との関係を示すグラフである。

【図 7】図 3 (D) に示す熱処理工程における熱処理条件と P 型の TFT のオン電流特性との関係を示すグラフである。

【図 8】アクティブマトリクス型の液晶表示装置用の液晶パネルの平面図である。

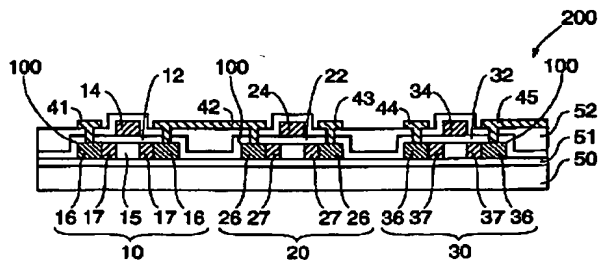
【図 9】図 8 の H-H' 線における断面図である。

【図 10】(A) ~ (D) は、従来のアクティブマトリクス基板の製造方法において、ゲート電極を形成するまでの工程を示す工程断面図である。

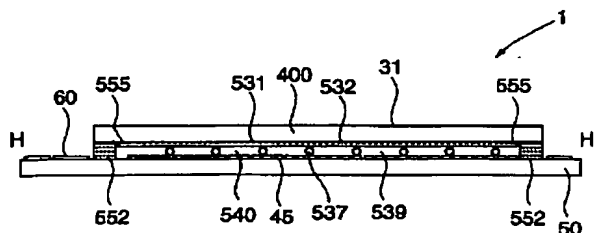
【符号の説明】

- 1 液晶パネル
- 10 駆動回路用の N 型の TFT
- 20 駆動回路用の P 型の TFT
- 12、22、32 ゲート絶縁膜
- 14、24、34 ゲート電極
- 15、25、35 チャンネル領域
- 16、26、36 高濃度ソース・ドレイン領域
- 17、27、37 低濃度ソース・ドレイン領域
- 30 画素スイッチング用の TFT
- 40 保持容量
- 41、43、44 ソース電極
- 42 ドレイン電極
- 45 画素電極
- 50 基板
- 51 下地保護膜
- 52 層間絶縁膜
- 60 データ側駆動回路
- 70 走査側駆動回路
- 81 画面表示領域
- 90 データ線
- 91 走査線
- 94 液晶容量（液晶セル）
- 100 半導体膜
- 200 アクティブマトリクス基板（半導体装置）
- 300 レーザアニール装置
- 320 レーザ光源
- 325 光学系
- 310 ステージ
- 400 対向基板
- 531 対向電極
- L レーザ光の照射領域
- L0 ラインビーム

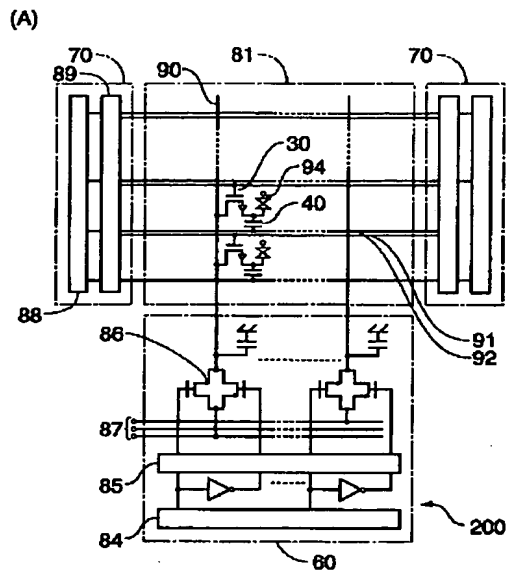
【図 2】



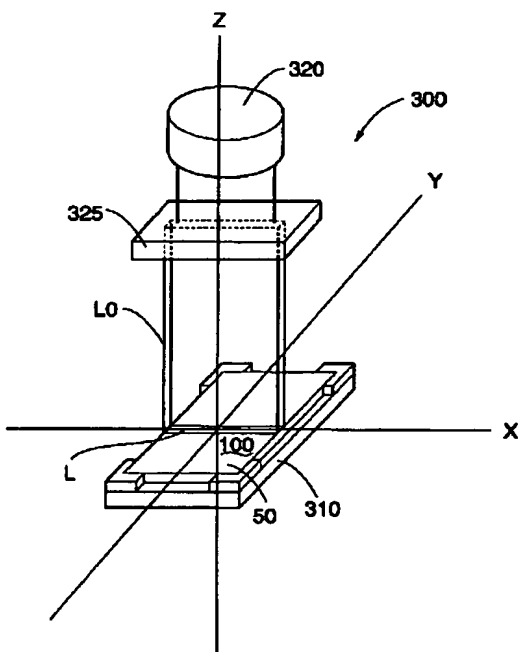
【図 9】



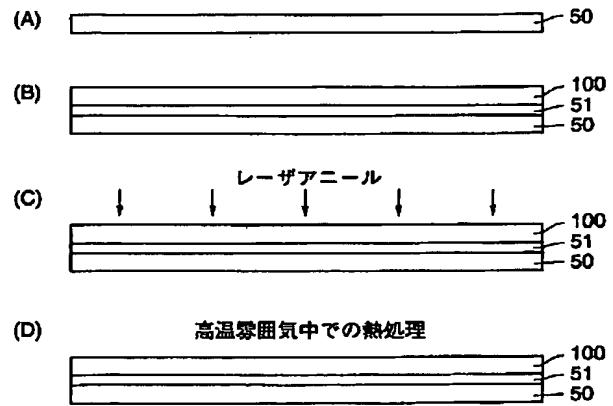
【図 1】



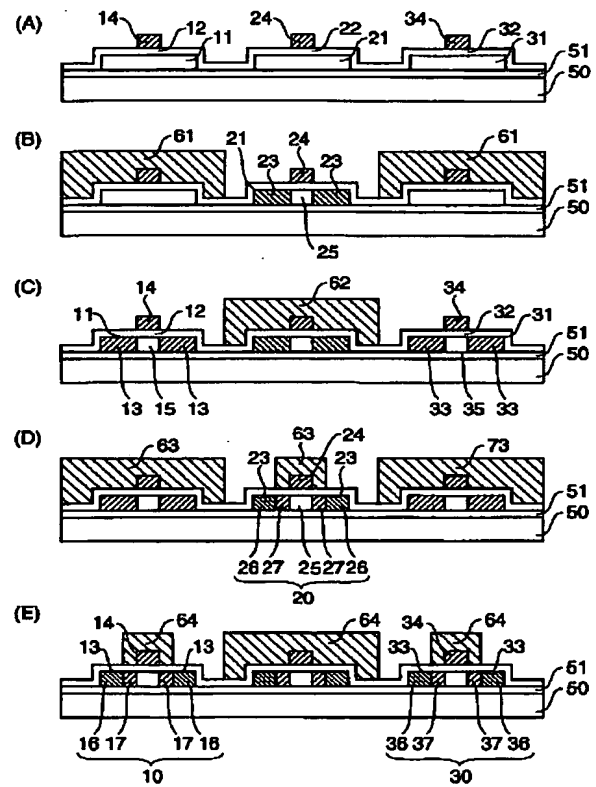
【図 4】



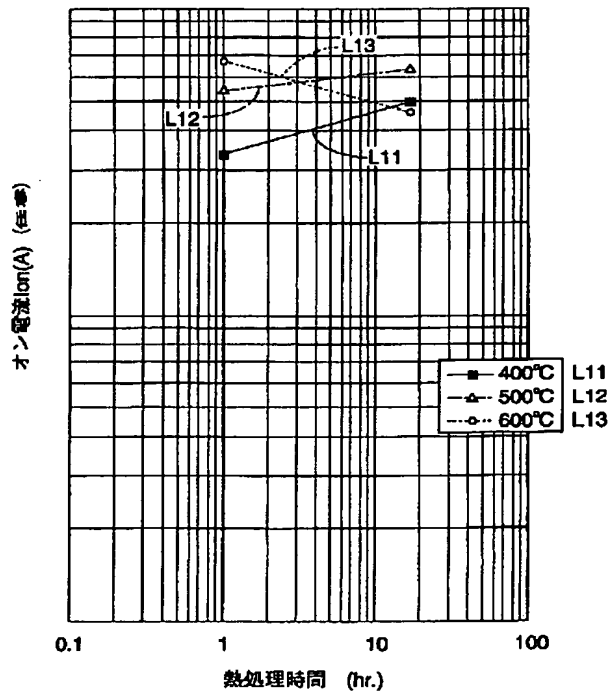
【図 3】



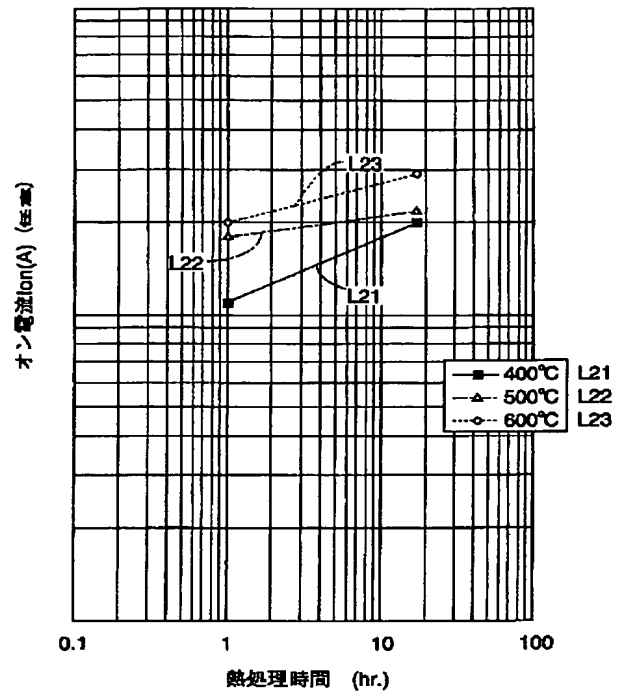
【図 5】



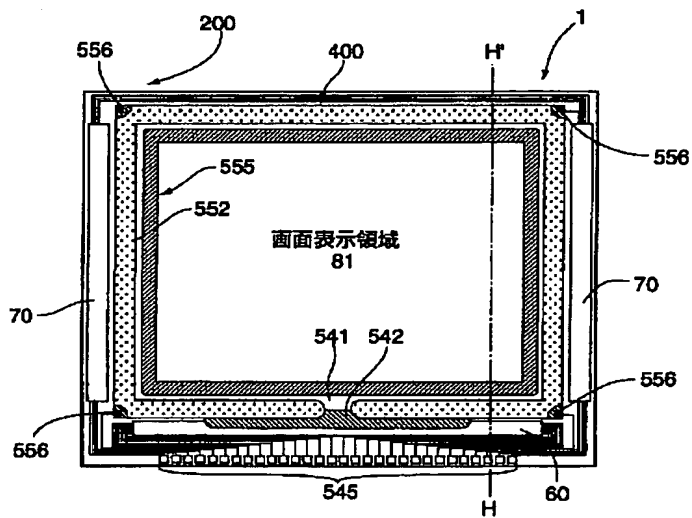
【図 6】



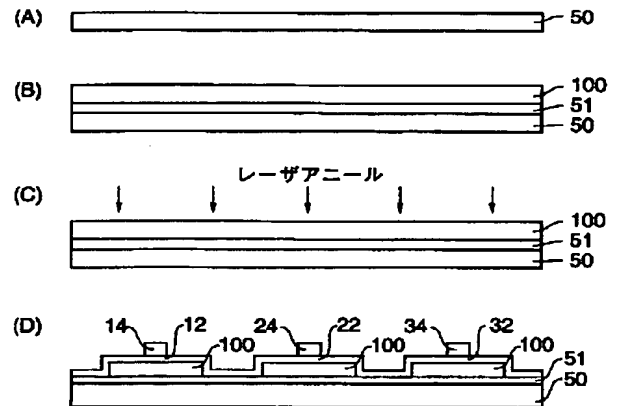
【図 7】



【図 8】



【図 10】



フロントページの続き

Fターム(参考) 5F052 AA02 AA03 AA06 DA02 DB02
DB03 JA04 JA10
5F110 AA05 BB02 BB04 CC02 DD02
DD13 EE03 EE04 EE44 FF02
FF30 GG02 GG13 GG15 GG42
GG43 GG45 GG47 GG55 GG58
HJ01 HJ04 HJ13 HM14 HM15
NN02 NN40 PP02 PP03 PP05
PP08 QQ24